

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

015127549 \*\*Image available\*\*

WPI Acc No: 2003-188073/200319

XRPX Acc No: N03-148462

Active matrix type image display device for television, has NMOS transistor that is switched ON/OFF by image display selection line, to supply stored image signal to pixel electrode

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2002297083	A	20021009	JP 2001101559	A	20010330	200319 B

Priority Applications (No Type Date): JP 2001101559 A 20010330

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2002297083	A		10 G09G-003/20	

Abstract (Basic): JP 2002297083 A

NOVELTY - A memory (6) stores an image signal received from a signal line (3) through an NMOS transistor (5). Another NMOS transistor (8) is switched ON/OFF by an image display selection line (4) to supply the stored image signal to a pixel electrode (7).

USE - E.g. electroluminescence (EL) display device, field emission display (FED) device, plasma display panel and LCD used in television.

ADVANTAGE - Reduces difference in light emission brightness for primary colors.

DESCRIPTION OF DRAWING(S) - The figure shows the circuit diagram of the image display device. (Drawing includes non-English language text).

Signal line (3)

Image display selection line (4)

NMOS transistor (5)

Memory (6)

Pixel electrode (7)

NMOS transistor (8)

pp; 10 DwgNo 1/11

Title Terms: ACTIVE; MATRIX; TYPE; IMAGE; DISPLAY; DEVICE; TELEVISION; NMOS ; TRANSISTOR; SWITCH; IMAGE; DISPLAY; SELECT; LINE; SUPPLY; STORAGE; IMAGE; SIGNAL; PIXEL; ELECTRODE

Derwent Class: P85; T04; U14; V05; W03

International Patent Class (Main): G09G-003/20

International Patent Class (Additional): G09G-003/22; G09G-003/30;

H01J-029/96; H01J-031/12

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07428573      \*\*Image available\*\*

IMAGE DISPLAY DEVICE

PUB. NO.:      2002-297083 [JP 2002297083 A]

PUBLISHED:      October 09, 2002 (20021009)

INVENTOR(s):      KITAKADO HIDETO

                 YAMASHITA MASAACKI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD

APPL. NO.:      2001-101559 [JP 20011101559]

FILED:              March 30, 2001 (20010330)

INTL CLASS:      G09G-003/20; G09G-003/22; G09G-003/30; H01J-029/96;  
                 H01J-031/12

#### ABSTRACT

**PROBLEM TO BE SOLVED:** To reduce the level difference of emission luminance of R, G, B having different luminous efficiency, without making circuit constitution complex or without increasing the occupation area of circuits.

**SOLUTION:** In this display device, a pixel 1 is selected by an NMOS(n-channel metal oxide semiconductor) transistor 5 for pixel selection, which is connected to a scanning line 2 and a signal line 3, and an image signal is captured from the signal line 3 to be stored to an image signal holding circuit 6. An image display switching element 8 is an NMOS transistor, and the gate electrode, the source electrode and the drain electrode of the transistor are connected respectively to an image display selecting line 4, the image signal holding circuit 6 and a pixel electrode 7 in this order. As a result, supplying of the picture signal inputted from the signal line 3 to the pixel electrode 7 is controlled by on/off of the image display switching elements 8, that is the image display selecting line 4.

**COPYRIGHT:** (C)2002,JPO

?

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-297083

(P 2 0 0 2 - 2 9 7 0 8 3 A)

(43) 公開日 平成14年10月9日 (2002.10.9)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコード (参考)		
G09G 3/20	624	G09G 3/20	624	B	5C032
	641		641	E	5C036
	642		642	L	5C080
3/22		3/22		E	
3/30		3/30		K	
審査請求 未請求 請求項の数11 O L (全10頁) 最終頁に続く					

(21) 出願番号 特願2001-101559 (P 2001-101559)

(22) 出願日 平成13年3月30日 (2001.3.30)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 北角 英人

香川県高松市古新町8番地の1 松下寿電  
子工業株式会社内

(72) 発明者 山下 正明

香川県高松市古新町8番地の1 松下寿電  
子工業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外5名)

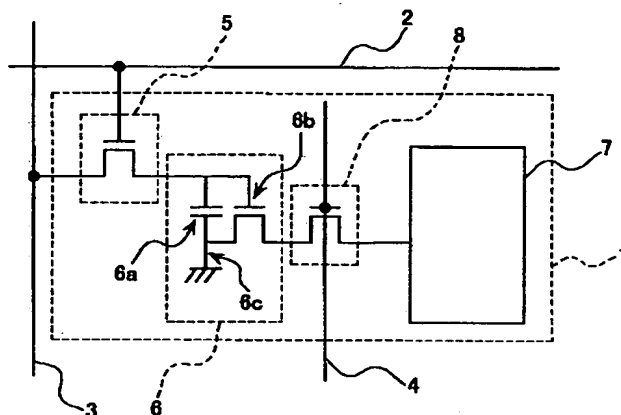
最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 回路構成を複雑とせず、かつ回路占有面積を増大させることなく、発光効率の異なるR、G、Bの発光輝度差を低減する。

【解決手段】 画素1は、走査線2と信号線3とに接続された画素選択用NMOSTランジスタ5により選択され、信号線3より画像信号を取り込み、画像信号保持回路6によって記憶する。画像表示スイッチング素子8はNMOSTランジスタであり、ゲート電極が画像表示選択線4に接続され、ソース電極が画像信号保持回路6に接続され、ドレイン電極が画素電極7に接続されている。従って、信号線3から入力された画像信号の画素電極7への供給は、画像表示スイッチング素子8のオン、オフ、すなわち画像表示選択線4により制御される構成となっている。



## 【特許請求の範囲】

【請求項 1】 複数の画素と、複数の走査線と、複数の信号線とを備えたアクティブマトリックス型の画像表示装置において、

さらに複数の画像表示選択線を備え、

前記画素が、画素選択トランジスタ、画像信号保持回路、および前記画像表示選択線に供給される信号により制御される画像表示スイッチング素子を有しており、前記画像信号保持回路は前記画素選択トランジスタを介して取り込まれた画像信号を保持し、前記画像表示スイッチング素子は接続されている画像表示選択線が選択されることにより動作して、前記画像信号保持回路の画像信号にて画像を表示させることを特徴とする画像表示装置。

【請求項 2】 前記複数の画素のうち表示時間を同一とする画素の画像表示スイッチング素子は、同一の画像表示選択線に接続されていることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】 画像の表示が、前記画像信号保持回路における前記画像信号の保持動作と並行して行われることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 4】 画像の表示が、前記画像信号保持回路における前記画像信号の保持動作後に行われることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 5】 前記画像表示スイッチング素子が画素電極と前記画像信号保持回路との間に直列に接続されたトランジスタにより構成されており、前記トランジスタは、前記画像表示選択線の電圧変動により導通して、画像表示に必要な電圧および電流を前記画素電極に供給することを特徴とする請求項 1 に記載の画像表示装置。

【請求項 6】 前記画像表示装置がフィールドエミッションディスプレイであって、前記画像表示スイッチング素子が、前記画像信号保持回路と接続されエミッタを有する画素電極と、前記エミッタに高電界を与え電子を引き出す引出電極とから構成され、前記引出電極が、前記画像表示選択線に接続されていることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 7】 前記画像表示スイッチング素子が、電圧を与えることによって発光する発光体を挟む 1 対の画素電極から構成され、一方の画素電極が前記画像信号保持回路と接続され、他方の画素電極が前記画像表示選択線に接続されていることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 8】 前記複数の画像表示選択線が順次選択され、かつ複数の画像表示選択線の選択時間が互いに異なることを特徴とする請求項 1 ～ 7 の何れか一項に記載の画像表示装置。

【請求項 9】 前記複数の画像表示選択線が同時に選択

され、かつ複数の画像表示選択線の選択時間が互いに異なることを特徴とする請求項 1 ～ 7 の何れか一項に記載の画像表示装置。

【請求項 10】 1 フレーム内を複数の分割したサブフィールド期間を有し、各サブフィールド期間に画像を表示するか否かによって階調を行う方法であって、各サブフィールド期間において、異なる画像表示選択線の選択時間の割合が同じであることを特徴とする請求項 8 または 9 に記載の画像表示装置。

【請求項 11】 前記画像表示選択線が、画像表示の赤、緑、青に対応した 3 本、又は前記 3 色を 2 分割した 2 本で構成されていることを特徴とする請求項 1 ～ 10 の何れか一項に記載の画像表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリックス型の画像表示装置に関するものであり、特に、電子または正孔を注入することにより発光する発光表示装置のフルカラー表示を容易に可能とする画像表示装置に関するものである。

【0002】

【従来の技術】現在、平面型の画像表示装置としては、液晶ディスプレイ、プラズマディスプレイ、ELD、FED が実用化されている。この中で、ELD(Electro Luminescence Display)およびFED(Field Emission Display)は自発光型のディスプレイで、しかも高精細化が可能なため、CRT (Cathode Ray Tube) に代わる次世代のテレビ受像機として開発が進められている。

【0003】しかしながら、これらのディスプレイを単純マトリックス駆動で行う場合、表示が高精細になるに従いデューティ比が小さくなり、十分な輝度を得られないという問題が生じていた。また、十分な輝度を得るために電流を増大させると、発光素子の劣化や発光材料(蛍光体等)の劣化が生じるという問題が生じていた。そこで、これらの問題点を改善するための技術として、アクティブマトリックス駆動のディスプレイが提案されている。

【0004】図 10 は、例えば特許第 2656843 号公報において提案されている、従来の FED の画素内駆動回路を示している。一画素毎に設けられた画素内駆動回路は、画素選択用 NMOS トランジスタ 101 と、電流駆動用 NMOS トランジスタ 102 と、信号電圧保持用のキャパシタ 103 とを備えた構成である。画素選択用 NMOS トランジスタ 101 のソース電極またはドレイン電極の一方が信号線 (図 10 においては信号線 j (R)、信号線 j (G)、信号線 j (B) と示されている) に接続され、他方がキャパシタ 103 と電流駆動用 NMOS トランジスタ 102 のゲート電極とに接続されている。このため、画素選択用 NMOS トランジスタ 101 がオフした後も信号に応じた電流を駆動用 NMOS トラ

ンジスタ 102 が流し続ける。従って、画素が非選択の状態であっても発光を維持することが可能となり、輝度の高いディスプレイが実現できる。このような構成の場合、単純マトリックス駆動のように大電流のエミッション電流を流さなくても十分な輝度が得られるため、エミッタの寿命および蛍光体の寿命が長くなる。

【0005】なお、ここでは、同じ走査線に接続された赤 (R) 表示部、緑 (G) 表示部、青 (B) 表示部に対応する 3 画素を 1 絵素としている。すなわち、図 10 においては、 $i$  行  $j$  列目と  $(i+1)$  行  $j$  列目の絵素が示されている。信号線  $j$  (R)、信号線  $j$  (G)、信号線  $j$  (B) は、 $j$  列目の絵素の R、G、B 各表示部に画像信号を供給する信号線である。また、104 は引出電極を示している。

【0006】図 11 は、図 10 に示した画素内駆動回路を用いた場合の駆動タイミングを示す波形図である。1 フレームを、R、G、B 各表示部に対応させて、第 1 フィールド (第 1 FL D)、第 2 フィールド (第 2 FL D)、第 3 フィールド (第 3 FL D) の 3 つのフィールドに分割している。フィールド毎に 1 から  $n$  番目までの走査線を順次選択し、各画素に画像信号を読み込ませる。図示していないが、1 本の走査線が選択されると、その走査線に接続されている  $m$  個の画素の画素選択用 NMOS トランジスタ 101 がオンし、信号線より画像信号を読み込む。読み込まれた画像信号は信号電圧保持用のキャパシタ 103 に保持され、対応する陽極電極が選択されている間、エミッション電流を流し続ける。陽極電極は R、G、B に分割して選択されるため、1 フレーム期間中に各 R、G、B に対応する 3 つの発光期間 (3 フィールド) が形成される。ここで、各フィールド期間は走査線のパルス周期と同じであるため、1 フレームを 3 分割した時間が 1 フィールド期間となり、各 R、G、B に対応するフィールド期間は同じとなる。

【0007】

【発明が解決しようとする課題】以上のような構成においては、蛍光体の発光輝度が R、G、B により異なる場合、信号電圧を変更して R、G、B の輝度を調節する必要がある。このため、パネルに入力される R、G、B の信号がアナログの場合には、その信号の電圧振幅を R、G、B 毎に調節した後画素に入力して、電流駆動用 NMOS トランジスタ 102 の電流を制御する。例えば、G の蛍光体の発光輝度が高く、B の蛍光体の発光輝度が低い場合には、G の信号電圧振幅を小さくし、B の信号電圧振幅を大きくするための回路が必要となる。

【0008】また、パネルに入力される R、G、B の信号がデジタルで、DA コンバータにより信号をアナログに変換することによって階調制御する場合には、R、G、B 毎に電圧振幅を変えるための回路を別々に形成するか、或いは回路に供給する電源電圧をそれぞれ別にする必要がある。また、デジタル信号を用いてディジタ

ル階調を行う場合には、例えば 1 フレームを複数のサブフィールド期間に分割し、サブフィールドを選択するか選択しないかによって階調を行うが、この方法の場合は R、G、B 毎に選択時間を変えるための回路が必要となる。

【0009】このように、従来の構成において R、G、B の輝度を調節する際には、パネルを駆動するためのドライバ回路が複雑になり、かつ回路占有面積の増大によるコスト増大が生じるという問題があった。特に、周辺駆動回路を画素毎に設けられるトランジスタと同様に多結晶ポリシリコン薄膜トランジスタで形成する場合には周辺駆動回路占有面積の低減が重要であるため、回路占有面積の増大は問題であった。

【0010】本発明はこれらの問題を解決するために、画素内に画像信号電圧を保持する機能を備えた自発光型のアクティブマトリックス型画像表示装置において、回路構成を複雑とせず、かつ回路占有面積を増大させることなく、発光効率の異なる R、G、B の発光輝度差を低減することを目的とする。

【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明の画像表示装置は、複数の画素と、複数の走査線と、複数の信号線とを備えたアクティブマトリックス型の画像表示装置において、さらに複数の画像表示選択線を備え、前記画素が、画素選択トランジスタ、画像信号保持回路、および前記画像表示選択線に供給される信号により制御される画像表示スイッチング素子を有しており、前記画像信号保持回路は前記画素選択トランジスタを介して取り込まれた画像信号を保持し、前記画像表示スイッチング素子は接続されている画像表示選択線が選択されることにより動作して、前記画像信号保持回路の画像信号にて画像を表示させることを特徴とする。

【0012】この構成によれば、信号線より取り込まれた画像信号は画像信号保持回路により保持されるが、画像表示スイッチ素子が動作するまでは、画像が表示されない。従って、画像表示スイッチ素子を動作させる画像表示選択線が複数本あり、それぞれを独立に走査させると、画像表示選択線に対応した領域の画像表示時間を別々に設定することが可能となる。その結果、例えば R、G、B に対応する蛍光体の発光輝度が異なるような場合には、それぞれの発光時間を画像表示選択線の選択時間により変えることが可能となるため、R、G、B の輝度を揃えることができる。従って、R、G、B 毎に画像信号を変える必要がなく、信号線のドライバ回路が複雑になることが避けられる。

【0013】これにより、発光効率の異なる R、G、B により表示を行う場合に、回路構成を複雑とせず、かつ回路占有面積を増大させることなく、各色間の発光輝度差を低減することが可能となる。

【0014】さらに、前記複数の画素のうち表示時間を同一とする画素の画像表示スイッチング素子は、同一の画像表示選択線に接続されることが望ましい。これにより、簡単な構成で各画素の表示時間を調整することができる。

【0015】さらに、画像の表示は、前記画像信号保持回路における前記画像信号の保持動作と並行して、或いは保持動作後に行うことが可能である。

【0016】さらに、前記画像表示スイッチング素子が画素電極と前記画像信号保持回路との間に直列に接続されたトランジスタにより構成されており、前記トランジスタは、前記画像表示選択線の電圧変動により導通して、画像表示に必要な電圧および電流を前記画素電極に供給する構成とすることが可能である。この構成はどのような発光素子の場合にも適用でき、また画像表示スイッチング素子を低電圧で駆動することもできる。

【0017】また、前記画像表示装置がフィールドエミッションディスプレイであって、前記画像表示スイッチング素子が、前記画像信号保持回路と接続されエミッタを有する画素電極と、前記エミッタに高電界を与え電子を引き出す引出電極とから構成され、前記引出電極が、前記画像表示選択線に接続されている構成とすることも可能である。画像表示スイッチング素子をこのような構成とすることにより、エミッタからのエミッション電流を放出させ易くする引出電極を、画像表示スイッチング素子のオン、オフ制御電極として用いることができる。これにより、新たにスイッチング素子を設けることなく、画像表示のオン、オフ制御を行える。

【0018】また、前記画像表示スイッチング素子が、電圧を与えることによって発光する発光体を挟む1対の画素電極から構成され、一方の画素電極が前記画像信号保持回路と接続され、他方の画素電極が前記画像表示選択線に接続されている構成とすることも可能である。この構成の場合も、新たにスイッチング素子を設けることなく、画像表示のオン、オフ制御を行える。

【0019】また、画像表示選択線の駆動方法として、前記複数の画像表示選択線が順次選択され、かつ複数の画像表示選択線の選択時間が互いに異なるような方法を用いる場合には、パネル全体に流れる平均的な電流が常に一定となり、電圧降下による電流変動の影響を受けにくい安定した表示が得られる。また、画像表示選択線の駆動方法として、前記複数の画像表示選択線が同時に選択され、かつ複数の画像表示選択線の選択時間が互いに異なる方法を用いた場合には、発光時間を長くすることが可能なため、高輝度の画像が得られる。

【0020】また、1フレーム内を複数に分割したサブフィールド期間を有し、各サブフィールド期間に画像を表示するか否かによって階調を行う方法であって、各サブフィールド期間において、異なる画像表示選択線の選択時間の割合が同じである方法を用いることも可能であ

る。発光回数で階調制御するデジタル階調の場合、従来は複数の電源電圧を用意するか、またはR、G、B毎に回路を変更して輝度の調整を行う必要があったが、このような本発明の構成によれば、画像表示スイッチング素子のオン、オフで発光時間を制御することにより、単一電源で同一回路でも輝度調整が可能となるため、周辺駆動回路の簡略化が可能となる。

【0021】また、前記画像表示選択線を、画像表示の赤、緑、青に対応した3本、又は前記3色を2分割した2本で構成することが可能である。この構成によれば、R、G、Bに対応する発光材料や発光素子が異なった発光効率を有する場合であっても、画像表示選択線をR、G、B毎に分割して、それぞれの発光時間を変えることによって、同じ輝度が得られる。従って、R、G、B毎に輝度を調整するための信号電圧の補正が必要とならず、周辺駆動回路を簡略化できる。

【0022】

【発明の実施の形態】(実施の形態1)以下、本発明の第1の実施の形態について、図1～図5を参照しながら説明する。本実施の形態においては、本発明における画像表示スイッチング素子がNMOSトランジスタの場合について説明する。

【0023】図1には、本実施の形態に係る画像表示装置の画素当りの回路構成例が示されている。画素1は、走査線2と信号線3とに接続された画素選択用NMOSトランジスタ5により選択され、信号線3より画像信号を取り込み、画像信号保持回路6によって記憶する。本実施の形態における画像信号保持回路6は、一個のキャパシタ6aと、一個の電流駆動用NMOSトランジスタ6bと、信号電圧を固定するための接地電位線6cとから構成されている。画像信号保持回路6内の電流駆動用NMOSトランジスタ6bは、画像信号に応じた電流を流すためのものである。

【0024】画像表示スイッチング素子8はNMOSトランジスタであり、ゲート電極が画像表示選択線4に接続され、ソース電極が画像信号保持回路6に接続され、ドレイン電極が画素電極7に接続されている。従って、信号線3から入力された画像信号により、画像信号保持回路6の電流駆動用NMOSトランジスタ6bがオンしていても、画像表示スイッチング素子8がオンしていなければ、画素電極7には電圧が供給されない。画像表示スイッチング素子8をオンさせるには、画像表示選択線4を0VからNMOSトランジスタの閾値電圧以上に上げる必要がある。また、画像信号保持回路6の電流駆動用NMOSトランジスタ6bで画像信号に応じた電流を流すには、画像表示スイッチング素子8のNMOSトランジスタは、線形領域で駆動することが望ましい。従って、画像表示スイッチング素子8のNMOSトランジスタの電流駆動力が大きくなるように、NMOSトランジスタのチャンネル幅およびチャンネル長を調整するか、或

いは画像表示選択線4の選択電圧を大きくする必要がある。

【0025】尚、画像表示スイッチング素子8は、画像信号保持回路6内に組み込むことも可能である。しかしながら、例えば画像信号保持回路6内の電流駆動用NMOSトランジスタ6bのソース電極側に組み込むと、ソース電極電位が変動するため画像信号に応じた電流を流すことが困難となる。また、画像信号保持回路6内の電流駆動用NMOSトランジスタ6bのゲート電極側に組み込む場合には、スイッチング回数を増大させる必要があるため好ましくない。従って、画像信号保持回路6と画素電極7の間に、画像表示スイッチング素子8を配置することが好ましい。

【0026】以上のように、本実施の形態に係る画像表示装置では、記憶が保持されただけでは画像は表示されず、画像表示選択線4が選択され画像表示スイッチング素子8がオンされることにより電流が流れて画像が表示される。なお、画像表示選択線4は複数に分割されているため、分割された複数の領域の表示時間を別々に設定することが可能であり、さらに、分割された一部の領域のみを表示することも可能である。

【0027】図2には、図1に示した画素内駆動回路をFEDに適用した場合の例が示されている。赤(R)、緑(G)、青(B)各表示に対応する3画素を1絵素とすると、図2に示されているのはi行j列目と(i+1)行j列目の2絵素分に相当する。引出電極9は、画素電極上に形成された電子放出源であるエミッタ10から、電子を放出させやすくするためのもので、エミッタ10の極近傍または陽極電極(図示せず)とエミッタ10との間に配置され、エミッタ10に対して数十Vの正電圧を印加する。本実施の形態においては、引出電極9には全画素共通で画像表示時に常に正電圧が印加されている。

【0028】また、画像表示スイッチング素子8であるNMOSトランジスタのゲート電極は、R、G、Bに対応した画像表示選択線4(R)、画像表示選択線4(G)、画像表示選択線4(B)に接続されている。そして各画像表示選択線4(R)、4(G)、4(B)は、他の列の各画像表示選択線4(R)、4(G)、4(B)とそれぞれ接続されるため、パネル全体としては3組の画像表示選択線を備えている構成となる。従って、画像表示選択線4(R)、4(G)、4(B)の選択時間、すなわち画像表示スイッチング素子8のオン時間をR、G、Bに応じて変化させてR、G、B毎に発光時間を異ならせることにより、R、G、Bの輝度を調整することが可能となる。

【0029】なお、本実施の形態において用いられているトランジスタは全てNMOSトランジスタであるが、PMOSトランジスタを用いてもよい。また、画像信号保持回路6の接地電位線6cを他電位の電流供給線とすることもできる。

【0030】次に、図2に示した前記画素駆動回路を用いた場合の駆動タイミングについて説明する。図3は、本実施の形態における画素部の駆動タイミングを示す波形図である。図3に示すように、アドレス期間においてパネル全画素に画像信号を入力した後、画像表示選択線4(R)、4(G)、4(B)を順次選択して、画像表示選択線4(R)、4(G)、4(B)に対応する領域を表示する。1フレーム期間とはパネル全画素に1回表示を行わせる期間であり、一般に1/60秒が用いられる。画像信号は、走査線が選択されると信号線を通じてアナログ信号、すなわち電圧の大きさとして入力され、各画素の画像信号保持回路6に記憶される。その後、画像表示選択線4(R)、4(G)、4(B)を選択する。ここでは、画像表示選択線4(R)、4(G)、4(B)の全てを順次選択しているため、パネル全体の発光に要する平均電流は第1フィールド(第1FLD)～第3フィールド(第3FLD)までほぼ一定となり、配線抵抗起因の電圧降下による電圧変動がなく、安定した画像表示が可能である。この駆動方法によれば、画像表示選択線4(R)、4(G)、4(B)をR、G、Bに対応させることにより、蛍光体の発光効率差によらずにR、G、B全ての輝度を同一にすることができる。

【0031】なお、画像表示選択線4(R)、4(G)、4(B)は全て選択する必要はなく、任意の2つの画像表示選択線を同時に選択することや、選択期間を同一に設定することも可能である。図4には、画像表示選択線4(R)、4(G)、4(B)の選択期間は全て異なるが、選択開始時間は同一とした駆動タイミングの例が示されている。また、図5に示すように、選択開始時間を画像信号入力後ではなく、画像信号入力と同時にすることも可能である。このように選択開始時間を画像信号入力と同時にすることによって、発光のための通電時間が長くなり、輝度を増大させることが可能となる。

【0032】ここで、各画像表示選択線4(R)、4(G)、4(B)の選択開始時間および選択終了時間の設定は、走査線を順次選択するシフトレジスタの駆動周期と同じクロックをカウンタにより計数し、一定の値になった後、選択開始パルスおよび選択終了パルスを発生させることにより設定することができる。尚、各画像表示選択線4(R)、4(G)、4(B)の選択期間は、複数の選択期間を予め用意しておき、その中から最適な選択期間を選択することによって輝度調整を行うことも可能である。

【0033】以上のように、本実施の形態の構成によれば、R、G、B表示部毎に画像信号を変えることなく、それぞれの発光時間を画像表示選択線4(R)、4(G)、4(B)の選択時間を変化させることによってR、G、Bの発光輝度を揃えることができる。これにより、信号線のドライバ回路を複雑にせず、かつ周辺駆動回路占有面積を増加させることなく、発光効率が互いに異なるR、G、Bの発光輝度差を低減することが可能となる。

【0034】（実施の形態2）以下、本発明の第2の実施の形態について、図6及び図7を参照しながら説明する。本実施の形態においては、本発明における画像表示スイッチング素子が、エミッタが形成されている画素電極と、前記エミッタに高電界を与え電子を引き出すための引出電極とから構成されたFEDである場合について説明する。

【0035】図6は、本実施の形態に係る画像表示装置の画素当りの回路構成例を示す図である。画素11は、走査線12と信号線13に接続された画素選択用トランジスタ15により選択され、信号線13より画像信号を取り込み、その画像信号を画像信号保持回路16によって記憶する。本実施の形態における画像信号保持回路は、一個のキャパシタ16aと、一個の電流駆動用NMOSTランジスタ16bと、信号電圧を固定するための接地電位線16cとから構成されている。画像信号保持回路16内の電流駆動用NMOSTランジスタ16bは、画像信号に応じた電流を流すためのものである。

【0036】画像表示スイッチング素子18は、エミッタ20が形成されている画素電極17と、エミッタ20に高電界を与え電子を引き出すための引出電極19とから構成されたFEDである。ここで、画像表示スイッチング素子18がオンしなければ、エミッタ20からエミッション電流は流れないため画像は表示されない。画像表示スイッチング素子18は、エミッション電流放出の閾値電圧以上の電圧がエミッタ20と引出電極19との間に印加されるとオンする。実際には、閾値電圧よりも20V〜30V高い電圧を引出電極19に印加し、エミッション電流を画像信号保持回路16内のNMOSTランジスタによって制御する。エミッション電流の閾値電圧が60Vの場合、引出電極の電圧を80Vと50Vに切り替えることで、画素表示スイッチング素子をオン、オフできる。引出電極19は画像表示選択線14と接続されているため、画像表示選択線14の選択状態が80Vであり、非選択状態が50Vとなる。

【0037】図7には、図6に示した画素内の回路をFEDに適用した場合の例が示されている。赤（R）、緑（G）、青（B）各表示に対応する3画素を1絵素とすると、図2に示されているのはi行j列目と(i+1)行j列目の2絵素分に相当する。画像表示選択線14はパネル内で複数に分割されているため、画像表示選択線14が選択された領域のみ画像が表示される。図7においては、R、G、B各表示部に対応させて、画像表示選択線14が画像表示選択線14(R)、画像表示選択線14(G)、画像表示選択線14(B)に分割されている。画像表示スイッチング素子18を構成している引出電極19は、画像表示選択線14(R)、画像表示選択線14(G)、画像表示選択線14(B)に接続されている。そして各画像表示選択線14(R)、14(G)、14(B)は、他の列の各画像表示選択線14(R)、14(G)、14(B)と

それぞれ接続されるため、パネル全体としては3本の画像表示選択線を備えている構成となる。従って、画像表示選択線14(R)、14(G)、14(B)の選択時間、すなわち画像表示スイッチング素子18のオン時間をR、G、Bに応じて変化させてR、G、B毎に発光時間を異ならせることにより、R、G、Bの輝度を調整することが可能となる。

【0038】また、図7に示した前記画素駆動回路を用いた場合の駆動タイミングの説明は、実施の形態1の場合と同様のためここでは省略する。

【0039】以上のように、本実施の形態の構成によれば、R、G、B表示部毎に画像信号を変えることなく、それぞれの発光時間を画像表示選択線14(R)、14(G)、14(B)の選択時間を変化させることによってR、G、Bの発光輝度を揃えることができる。これにより、信号線のドライバ回路を複雑にせず、かつ周辺駆動回路占有面積も増加させることなく、発光効率が互いに異なるR、G、Bの発光輝度差を低減することが可能となる。

【0040】（実施の形態3）以下、本発明の第3の実施の形態について、図8を参照しながら説明する。本実施の形態においては、本発明における画像表示スイッチング素子が電圧を与えることによって発光する発光体を挟む1対の画素電極から構成され、一方の画素電極が画像信号保持回路と接続され、他方の画素電極が画像表示選択線に接続されている構成である。

【0041】図8には、前記の構成を有機ELD(Electro Luminescence Display)に適用した場合の回路構成が示されている。図8において、25は画素選択用NMOSTランジスタ、26は画像信号保持回路、28は画像表示スイッチング素子、24(R)、24(G)、24(B)はR、G、B各表示部に対応する画像表示選択線である。また、21は画像信号保持回路26に電源を供給する電源供給線である。ここでは、画像表示スイッチング素子28は有機ELを挟む1対の画素電極から構成される。図に示すように、ダイオードが画像表示スイッチング素子28であり、ダイオードの陰極側が画像表示選択線24(R)、24(G)、24(B)に接続される。

【0042】この場合は、画像表示選択線24(R)、24(G)、24(B)が接続された画素電極の電圧を変えることにより、画像表示スイッチング素子28をオン、オフさせる。FEDの場合には、このスイッチングのオン、オフを数百V以上の範囲で行う必要があるが、有機ELDの場合には、10V以下で可能となる。従って有機ELDのように低電圧で発光が可能な場合には、消費電力が小さいため、本方式の駆動方法が非常に有効である。

【0043】なお、本実施の形態における駆動タイミングの詳細な説明は、実施の形態1の場合と同様のため、ここでは省略する。



【0044】（実施の形態4）以下、本発明の第4の実施の形態について、図9を参照しながら説明する。本実施の形態においては、実施の形態1～3で説明した画素内駆動回路の駆動に用いられる駆動タイミングの他の例について説明する。

【0045】図9は、デジタル階調を行った場合の駆動タイミングを示す波形図である。尚、図9においては、実施の形態1で説明した画素内駆動回路に対して用いた場合が示されている。ここでは16階調の場合を示しており、1フレーム内に4回のアドレス期間が存在する。アドレス期間後に発光を行うサブフィールド期間は、それぞれ1:2:4:8の時間に分割されている。これにより、各サブフィールド期間に発光を行うか行わないかで16階調を制御することができる。さらに、各サブフィールド期間において、異なる画像表示選択線4(R)、4(G)、4(B)の選択時間の割合は同じである。例えば、最小サブフィールド期間を1msとした場合、他のサブフィールド期間は2ms、4ms、8msとなる。ここで、同一電流および同一電力での発光輝度が、100:75:50の3種類の蛍光体または発光素子を用いてカラーディスプレイを形成する場合を考える。この蛍光体または発光素子を、それぞれ画像表示選択線4(R)、画像表示選択線4(G)、画像表示選択線4(B)で駆動すると、サブフィールド期間内のデューティ比は、それぞれ50%、75%、100%で各蛍光体または発光素子の輝度が同じとなる。従って、画像表示選択線1の各フィールドにおける選択期間は、0.5ms、1ms、2ms、4msとなる。この方法によれば、R、G、B三色の蛍光体を用いてFEDを駆動する場合に、従来のようにR、G、B毎に電圧振幅等を変えるための回路を形成しなくても良好なカラー表示ができることが確認された。

【0046】

【発明の効果】以上に説明したように、本発明の画像表示装置によれば、画素内に画像信号電圧を保持する機能を備えた自発光型のアクティブマトリクス型画像表示装置において、回路構成を複雑とせず、かつ回路占有面積を増大させることなく、発光効率の異なるR、G、B

の発光輝度差を低減することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る画像表示装置の画素内駆動回路を示す回路図である。

【図2】 前記画素内駆動回路をFEDに適用した場合の回路構成図である。

【図3】 前記画像表示装置における画素部の駆動タイミング例を示す波形図である。

【図4】 前記画像表示装置における画素部の駆動タイミング例を示す波形図である。

【図5】 前記画像表示装置における画素部の駆動タイミング例を示す波形図である。

【図6】 本発明の第2の実施の形態に係る画像表示装置の画素内駆動回路を示す回路図である。

【図7】 前記画素内駆動回路をFEDに適用した場合の回路構成図である。

【図8】 本発明の第3の実施の形態に係る画像表示装置の画素内駆動回路を有機ELDに適用した場合の回路構成図である。

【図9】 本発明の第4の実施の形態に係る画像表示装置における画素部の駆動タイミングを示す波形図である。

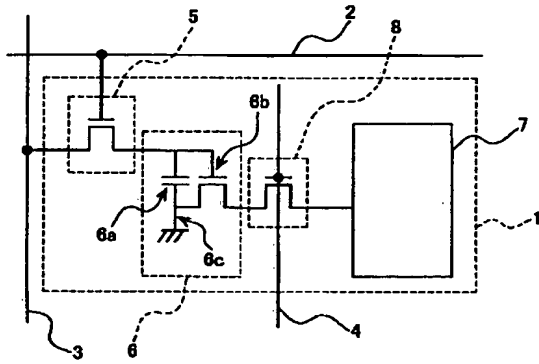
【図10】 従来の画像表示装置の画素内駆動回路を示す回路図である。

【図11】 前記従来の画像表示装置における駆動タイミングを示す波形図である。

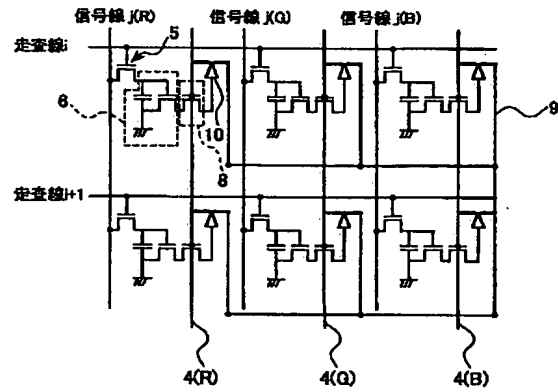
【符号の説明】

- 1, 11 画素
- 2, 12 走査線
- 3, 13 信号線
- 4, 14 画像表示選択線
- 5, 15, 25 画素選択用NMOSトランジスタ
- 6, 16, 26 画像信号保持回路
- 7, 17 画素電極
- 8, 18, 28 画像表示スイッチング素子
- 9, 19 引出電極
- 10, 20 エミッタ
- 21 電源供給線

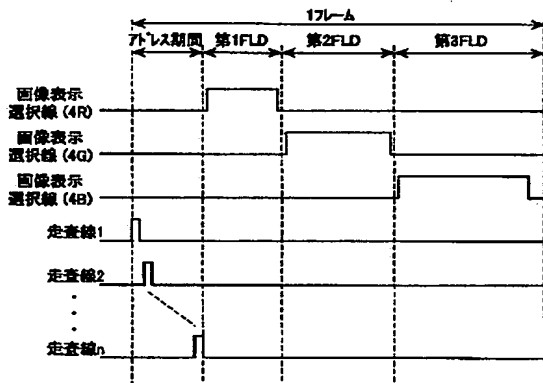
【図1】



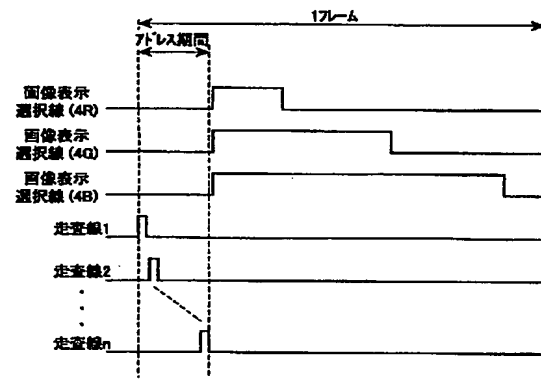
【図2】



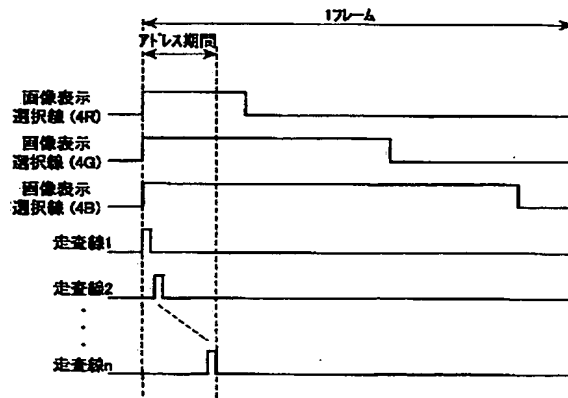
【図3】



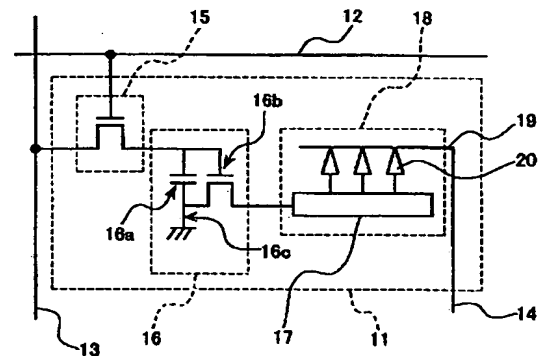
【図4】



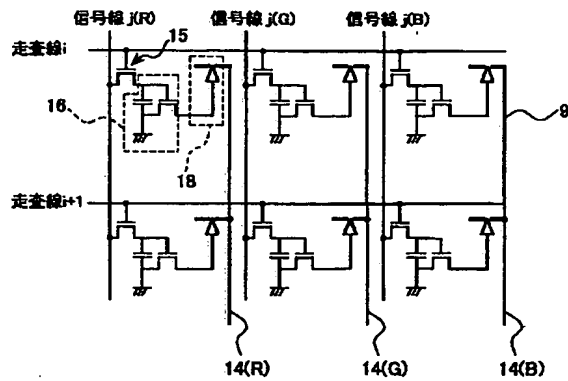
【図5】



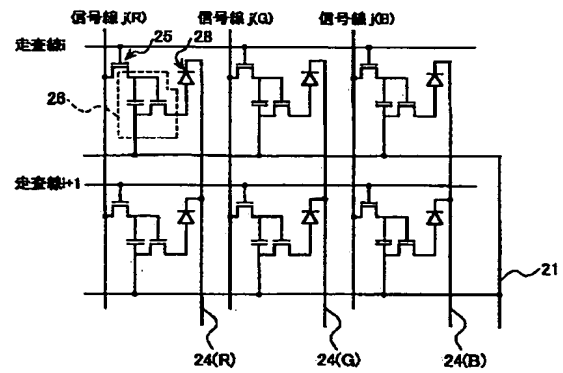
【図6】



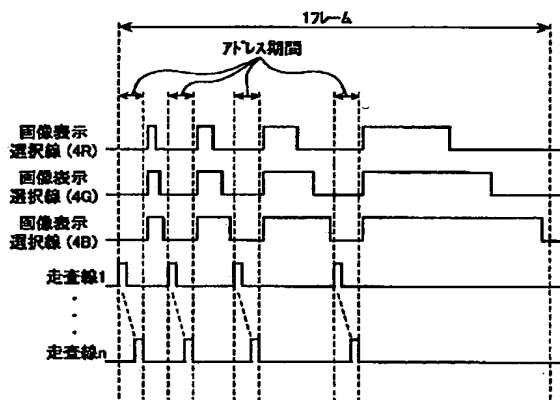
【図 7】



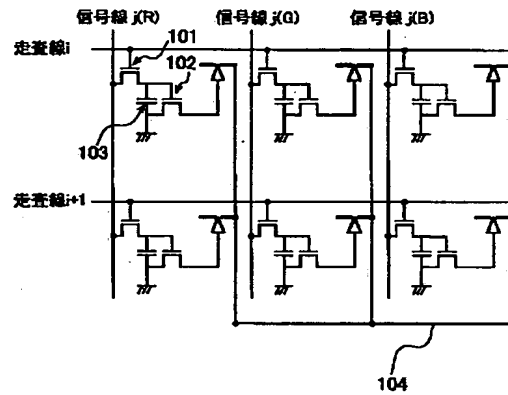
【図 8】



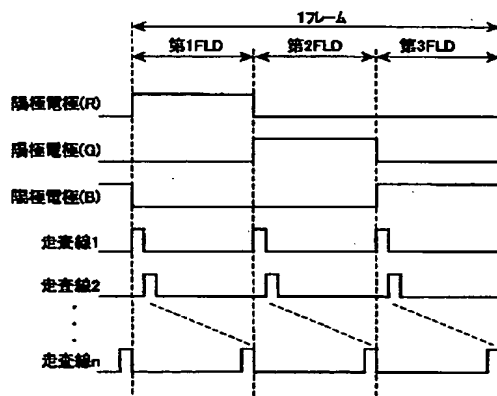
【図 9】



【図 10】



【図 11】



フロントページの続き

(51) Int. Cl. 7

H01J 29/96

31/12

識別記号

F I

H01J 29/96

31/12

テマコード (参考)

C

Fターム(参考) 5C032 AA01  
5C036 EE04 EF01 EF06 EF09 EG48  
EH04  
5C080 AA06 AA18 BB05 CC03 DD30  
FF11 HH10 JJ03 JJ04